

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

**Defective images within this document are accurate representations of
the original documents submitted by the applicant.**

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

WEST**End of Result Set**☐ **Generate Collection** **Print**

L10: Entry 1 of 1

File: JPAB

Jan 23, 1998

PUB-NO: JP410022389A
DOCUMENT-IDENTIFIER: JP 10022389 A
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: January 23, 1998

INVENTOR-INFORMATION:

NAME

COUNTRY

UEDA, KEITOKU

ASSIGNEE-INFORMATION:

NAME

COUNTRY

RICOH CO LTD

APPL-NO: JP08195599

APPL-DATE: July 5, 1996

INT-CL (IPC): H01 L 21/768

ABSTRACT:

PROBLEM TO BE SOLVED: To increase or decrease the capacitance between identical or different wiring layers by preventing wirings from corroding due to external water content, etc.

SOLUTION: First and second wiring layers 3, 6 are formed on, a wiring layer base substrate 2. A low-dielectric const. layer 4 is formed in portions between the wiring layers 3, 6 where the capacitance is to be reduced. A high- dielectric const. layer 8 is formed in portions between the wiring layers 3, 6 where the capacitance is to be increased. Other portions are covered with a first and second protective films 5, 7 usually made of silicon oxide.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-22389

(43) 公開日 平成10年(1998) 1月23日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/768			H 0 1 L 21/90	V M

審査請求 未請求 請求項の数 6 F D (全 6 頁)

(21) 出願番号 特願平8-195599

(22) 出願日 平成8年(1996) 7月5日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 上田 佳徳

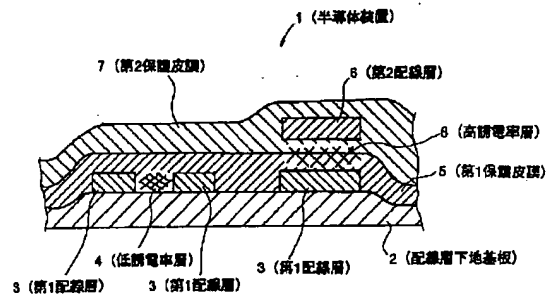
東京都大田区中馬込一丁目3番6号 株式会社リコー内

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 本発明は外部の水分などによって配線が腐蝕しないようにしながら、同一の層または異なる層に形成された配線層間の静電容量を増加させたり、低下させたりする。

【解決手段】 配線層下地基板2上に形成された第1、第2配線層3、6間のうち、静電容量を低下させたい部分に低誘電率層4を形成するとともに、第1、第2配線層3、6間のうち、静電容量を増加させたい部分に高誘電率層8を形成し、それ以外の部分を通常のシリコン酸化膜で形成される第1保護皮膜5、第2保護皮膜7で覆う。



1

【特許請求の範囲】

【請求項1】 複数の半導体素子が形成された配線下地基板と、この配線下地基板上に多層に形成されて前記半導体素子を電気的に接続する配線層とを有する半導体装置において、各配線層間のうち、静電容量を低下させたい配線層間に、他の部分に配置されている絶縁膜の比誘電率より低い比誘電率を持つ絶縁膜を配置することを特徴とする半導体装置。

【請求項2】 複数の半導体素子が形成された配線下地基板と、この配線下地基板上に多層に形成されて前記半導体素子を電気的に接続する配線層とを有する半導体装置において、各配線層間のうち、静電容量を増加させたい配線層間に、他の部分に配置されている絶縁膜の比誘電率より高い比誘電率を持つ絶縁膜を配置することを特徴とする半導体装置。

【請求項3】 請求項1に記載の半導体装置において、前記各配線層のうち、同一の層に配置されている各配線層間のみ低い比誘電率を持つ絶縁膜を配置することを特徴とする半導体装置。

【請求項4】 請求項1に記載の半導体装置において、前記各配線層のうち、異なる層に配置されている各配線層間のみ低い比誘電率を持つ絶縁膜を配置することを特徴とする半導体装置。

【請求項5】 請求項2に記載の半導体装置において、前記各配線層のうち、同一の層に配置されている各配線層間のみ高い比誘電率を持つ絶縁膜を配置することを特徴とする半導体装置。

【請求項6】 請求項2に記載の半導体装置において、前記各配線層のうち、異なる層に配置されている各配線層間のみ高い比誘電率を持つ絶縁膜を配置することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、配線間、配線層間にある絶縁膜の防水性を確保しながら、比誘電率を低減させたり、増加させたりして、配線間、配線層間の容量を低減させたり、増加させたりする半導体装置に関する。

【0002】

【従来の技術】従来、LSI等の高密度集積回路では、シリコン酸化膜などの絶縁層を使用して2層以上の配線層を縁膜しながら、これらの各配線層によって半導体素子同士やパッド電極等とを接続している。この場合、シリコン酸化膜として絶縁膜の比誘電率が4.1程度で十分なとき、不純物を含まないテトラエトキシランなどの主原料ガスをプラズマCVD法によりシリコン基板上に気層成長させたものが使用され、また絶縁膜の比誘電率が3.9程度、必要なとき、シリコン基板を熱酸化法な

2

どで酸化させたものが使用される。

【0003】

【発明が解決しようとする課題】ところで、近年、半導体装置の高速化が求められ、これに対応して特開平6-302704号公報の「半導体装置」、特開平3-21026号公報の「配線の寄生容量が低い半導体装置およびその製造方法」などの技術により、各配線層間の静電容量、各配線層内の各配線間の静電量の低減が図られている。この場合、特開平6-302704号公報記載の「半導体装置」では、図4に示す如くその表面上に複数の半導体素子が形成された半導体基板102と、この半導体基板102上に形成され、前記各半導体素子同士やこれらの各半導体素子と外部機器とを接続する複数の金属配線膜103と、これらの各金属配線膜103を覆うように形成され、前記各金属配線膜103同士を絶縁する弗素を含むシリコン酸化膜104と、このシリコン酸化膜104上に形成され、前記シリコン酸化膜104に外部から水分が侵入するのを防止する窒素を含むシリコン酸化膜105とによって半導体装置101を構成することにより、窒素を含むシリコン酸化膜105によって吸水性が高い弗素を含むシリコン酸化膜104内に水分が侵入しないようにしながら、各金属配線膜103間に比誘電率が小さい弗素を含むシリコン酸化膜104を配置し、これらの各金属配線膜103間の静電容量を小さくしている。

【0004】また、特開平3-21026号公報記載の「配線の寄生容量が低い半導体装置およびその製造方法」では、図5に示す如くその表面上に複数の半導体素子が形成された半導体基板112と、この半導体基板112上に形成される絶縁層113と、この絶縁層113上に積層されてエッチングされる下導体層114と、この下導体層114と異なるエッチングレートを持つ材料によって構成され、前記下導体層114上に積層されてエッチングされる上導体層115と、この上導体層115の側部に形成されるサイドウォール116と、これら上導体層115などを覆うように形成される絶縁層117とによって半導体装置111を構成する。サイドウォール116および上導体層115とをマスクにして、下導体層114をエッチングすることにより、ミスマライメントに対する余裕度を高くしながら、下導体層114および上導体層115によって構成される各配線を縮小して、これら各配線間の静電容量を小さくしている。

【0005】しかしながら、これら特開平6-302704号公報の「半導体装置」、特開平3-21026号公報の「配線の寄生容量が低い半導体装置およびその製造方法」においては、次に述べるような問題があった。まず、特開平6-302704号公報の「半導体装置」では、各金属配線膜103間の静電容量を小さくするために使用している、弗素を添加したシリコン酸化膜104の吸湿性が高いことから、窒素を含むシリコン酸化膜

105によって弗素を含むシリコン酸化膜104全体を覆わなければならない、その分だけ製造工程が増えてしまうという問題があった。また、このような窒素を含むシリコン酸化膜105によって弗素を含むシリコン酸化膜104を覆っていても、窒素を含むシリコン酸化膜105にちょっとした傷などが付いたとき、この傷から水分が侵入して弗素を添加したシリコン酸化膜104に水分が吸収されて、このシリコン酸化膜104で覆われている金属配線膜103が腐蝕されてしまうなど、従来から広く使用されている SiO_2 などを使用したシリコン酸化膜に比べて、性能が安定しないという問題があった。

【0006】また、特開平3-21026号に示す「配線の寄生容量が低い半導体装置およびその製造方法」では、下導体層114上に積層される上導体層115のサイドに形成されるサイドウォール116の材料として、通常の誘電体を使用するようにしているので、このサイドウォールが持つ比誘電率により、同一の配線層上で、配線間の静電容量をあまり小さくすることができないという問題があった。本発明は上記の事情に鑑み、請求項1、3、4では、外部の水分などによって配線が腐蝕しないようにしながら、同一の層または異なる層に形成された配線層間の静電容量を小さくして、配線遅延、クロストークなどの問題が発生しないようにすることができる半導体装置を提供することを目的としている。また、請求項2、5、6では、外部の水分などによって配線が腐蝕しないようにしながら、同一の層または異なる層に形成された配線層間の静電容量を大きくして、電源電圧や接地電圧などを安定化させることができる半導体装置を提供することを目的としている。

【0007】

【課題を解決するための手段】上記の目的を達成するために本発明は、請求項1では、複数の半導体素子が形成された配線下地基板と、この配線下地基板上に多層に形成されて前記半導体素子を電気的に接続する配線層とを有する半導体装置において、各配線層間のうち、静電容量を低下させたい配線層間に、他の部分に配置されている絶縁膜の比誘電率より低い比誘電率を持つ絶縁膜を配置することを特徴としている。上記の目的を達成するために本発明は、請求項2では、複数の半導体素子が形成された配線下地基板と、この配線下地基板上に多層に形成されて前記半導体素子を電気的に接続する配線層とを有する半導体装置において、各配線層間のうち、静電容量を増加させたい配線層間に、他の部分に配置されている絶縁膜の比誘電率より高い比誘電率を持つ絶縁膜を配置することを特徴としている。請求項3では、請求項1に記載の半導体装置において、前記各配線層のうち、同一の層に配置されている各配線間のみ低い比誘電率を持つ絶縁膜を配置することを特徴としている。請求項4では、請求項1に記載の半導体装置において、前記各配線層のうち、異なる層に配置されている各配線間のみ

低い比誘電率を持つ絶縁膜を配置することを特徴としている。請求項5では、請求項2に記載の半導体装置において、前記各配線層のうち、同一の層に配置されている各配線間のみ高い比誘電率を持つ絶縁膜を配置することを特徴としている。請求項6では、請求項2に記載の半導体装置において、前記各配線層のうち、異なる層に配置されている各配線間のみ高い比誘電率を持つ絶縁膜を配置することを特徴としている。上記の構成により、請求項1、3、4では、複数の半導体素子が形成された配線下地基板と、この配線下地基板上に多層に形成されて前記半導体素子を電気的に接続する配線層とを有する半導体装置において、各配線層間のうち、静電容量を低下させたい配線層間に、他の部分に配置されている絶縁膜の比誘電率より低い比誘電率を持つ絶縁膜を配置することにより、外部の水分などによって配線が腐蝕しないようにしながら、同一の層または異なる層に形成された配線層間の静電容量を小さくして、配線遅延、クロストークなどの問題が発生しないようにする。請求項2、5、6では、複数の半導体素子が形成された配線下地基板と、この配線下地基板上に多層に形成されて前記半導体素子を電気的に接続する配線層とを有する半導体装置において、各配線層間のうち、静電容量を増加させたい配線層間に、他の部分に配置されている絶縁膜の比誘電率より高い比誘電率を持つ絶縁膜を配置することにより、外部の水分などによって配線が腐蝕しないようにしながら、同一の層または異なる層に形成された配線層間の静電容量を大きくして、電源電圧や接地電圧などを安定化させる。

【0008】

30 【発明の実施の形態】以下、本発明を図面に示した形態例に基づいて詳細に説明する。図1は本発明による半導体装置の一形態例を示す概略構成図である。この図に示す半導体装置1は、その表面上に複数の半導体素子が形成された半導体基板（配線層下地基板）2と、アルミニウムなどの材料またはこのアルミニウムにシリコン（Si）、銅（Cu）などを添加した材料、あるいはポリシリコンなどの材料またはこのポリシリコン上にタングステン（W）、チタン（Ti）などを積層した材料などを前記配線層下地基板2上に積層した後、エッチングして形成される第1配線層3と、弗素（F）が添加されたシリコン酸化膜やリン（P）など添加されたシリコン酸化膜などによって構成され、前記第1配線層3のうち、相互の間隔が狭くなっている配線層間に形成される低誘電率層4と、この低誘電率層4および前記第1配線層3を覆うように形成された SiO_2 膜などによって構成される第1保護皮膜5と、アルミニウムなどの材料またはこのアルミニウムにSi、Cuなどを添加した材料、あるいはポリシリコンなどの材料またはこのポリシリコン上にW、Tiなどを積層した材料などを前記第1保護皮膜5上に積層した後、エッチングして形成される第2配線層

6と、この第2配線層6を覆うように形成されたSiO₂膜などによって構成される第2保護皮膜7と、SiN、Ta₂O₅などによって構成され、前記第1、第2保護皮膜5、7のうち、静電容量を高めたい第1配線層3と第2配線層6との間に形成される高誘電率層8とを備えている。そして、第1配線層3によって配線層下地基板2上に形成された各半導体素子同士を電氣的に接続するとともに、この第1配線層3および第2配線層6によって前記各半導体素子と外部機器とを接続して、この半導体装置1を動作させる。

【0009】次に、前記半導体装置1を構成する低誘電率層4、高誘電率層8の形成手順について説明する。まず、低誘電率層4を形成するときには、図2(a)に示す如くアルミニウムなどの材料またはこのアルミニウムにSi、Cuなどを添加した材料、あるいはポリシリコンなどの材料またはこのポリシリコン上にW、Tiなどを積層した材料などを配線下地基板2上に積層した後、これをエッチングして、第1配線層3を形成する。この後、図2(b)に示す如くプラズマCVDなどの方法によって、前記第1配線層3を覆うように、弗素が添加されたシリコン酸化膜9を形成した後、図2(c)に示す如く異方性エッチングによって、デボジット厚の場所的な違いを利用して、配線間の静電容量を小さくする必要がある部分、すなわちこれら第1配線層3間の距離dが“1μm”以下と比較的、狭い部分のみを残し、他の部分を除去し、低誘電率層4を形成する。また、高誘電率層8を形成するときには、図3(a)に示す如く配線下地基板2上にアルミニウムなどの材料またはこのアルミニウムにSi、Cuなどを添加した材料、あるいはポリシリコンなどの材料またはこのポリシリコン上にW、Tiなどを積層した材料などを前記配線層下地基板2上に積層するとともに、これをエッチングして、第1配線層3を形成した後、この第1配線層3を覆うように、シリコン膜を積層する。

【0010】次いで、このシリコン膜を酸化させて、第1保護皮膜5を形成した後、アルミニウムなどの材料またはこのアルミニウムにSi、Cuなどを添加した材料、あるいはポリシリコンなどの材料またはこのポリシリコン上にW、Tiなどを積層した材料などを第1保護皮膜5上に積層するとともに、これをエッチングして、第2配線層6を形成した後、この第2配線層6を覆うように、シリコン膜を積層して、これを酸化させ、第2保護皮膜7を形成する。そして、図3(b)に示す如く前記第2保護皮膜7上にレジスト10を塗布した後、CMPなどによって平坦化されて、第1、第2配線層3、6間の高さhが“0.5μm”以下と比較的、薄くされている部分のうち、電源ラインやGNDラインなど、配線間の静電容量を大きくする必要がある部分に対し、フォトリソグラフィ工程を使用して第2配線層6上にあるレジスト10を除去して開口11を形成する。次いで、前記

開口11部分に、500KeV~1MeVまたはそれ以上の高エネルギーで、誘電率を高くする不純物を注入して、第1、第2配線層3、6の間に高誘電率層8を形成した後、図3(c)に示す如く第2保護皮膜7上に残っているレジスト10を除去する。

【0011】このように、この半導体装置1では、各第1配線層3のうち、相互の間隔が狭くなっている配線層間に、通常のシリコン酸化膜を使用したときの比誘電率3.8~4.2程度より、小さい誘電体、例えば比誘電率が3.5程度またはそれ以下になる、弗素(F)を添加したシリコン酸化膜などの低誘電率層4を形成しているので、第1配線層3間の静電容量を小さくして、配線遅延、クロストークなどの問題が発生しないようにすることができる(請求項1、3、4の効果)。また、第1配線層3と、第2配線層6との間のうち、電源ラインやグランドラインなど、電圧を安定化させなければならないライン間に、通常のシリコン酸化膜を使用したときの比誘電率3.8~4.2程度より、比誘電率が大きい誘電体、例えば比誘電率が7程度またはそれ以上になる、SiN、Ta₂O₅などによって構成される高誘電率層8を形成しているので、電源ラインやグランドラインの静電容量を増やして電源ラインのノイズを低減させて、安定化させることができる(請求項2、5、6の効果)。

【0012】さらに、第1、第2配線層3、6間のうち、静電容量を増加させたい部分や静電容量を低減させたい配線間だけに、低誘電率層4や高誘電率層8を形成し、それ以外の部分を通常のシリコン酸化膜で覆うようにしているので、クリティカルな箇所だけ、静電容量を増減させ、それ以外の部分について、外部要因に対する信頼性を高くすることができる(請求項1~6の共通効果)。また、上述した形態例においては、第1、第2配線層3、6の間に高誘電率層8を形成して、第1、第2配線層3、6間の静電容量を高くするようにしているが、第1、第2配線層3、6が信号ラインなどのようにクロストークなどが発生しないようにする必要がある信号ラインであるときには、これら第1、第2配線層3、6間に低誘電率層4を形成して、第1、第2配線層3、6間の静電容量を小さくするようにしても良い。

【0013】また、上述した形態例においては、第1配線層3間に形成する低誘電率層4として、弗素を添加したシリコン酸化膜を使用するようにしているが、第1配線層3を覆うように、弗素を添加していない通常のシリコン酸化膜を薄くデボジットした後、このシリコン酸化膜上に、弗素を添加したシリコン酸化膜をデボジットした積層構造のシリコン酸化膜を形成した後、異方性エッチングによって、デボジット厚の場所的な違いを利用して、これら第1配線層3間の距離dが“1μm”以下と比較的、狭い部分のうち、配線間の静電容量を小さくする必要がある部分のみを残し、他の部分を除去し、低誘

7

電率層4を形成するようにしても良い。

【0014】

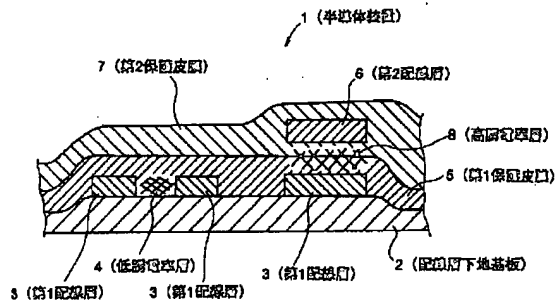
【発明の効果】以上説明したように本発明によれば、請求項1、3、4では、外部の水分などによって配線が腐蝕しないようにしながら、同一の層または異なる層に形成された配線層間の静電容量を小さくして、配線遅延、クロストークなどの問題が発生しないようにすることができる。請求項2、5、6では、外部の水分などによって配線が腐蝕しないようにしながら、同一の層または異なる層に形成された配線層間の静電容量を大きくして、

【図面の簡単な説明】

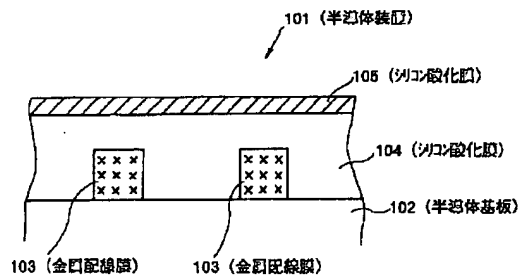
【図1】本発明による半導体装置の一形態例を示す概略構成図である。

【図2】(a) (b) 及び (c) は図1に示す低誘電率

【図1】



【図4】



8

層を形成する際の手順例を示す模式図である。

【図3】(a) (b) 及び (c) は図1に示す高誘電率装置を形成する際の手順例を示す模式図である。

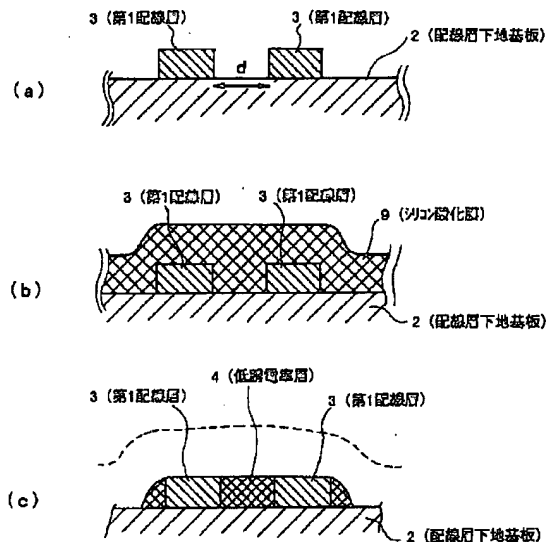
【図4】従来から知られている特開平6-302704号に示す「半導体装置」の概要を説明するための概略構成図である。

【図5】従来から知られている特開平3-21026号に示す「配線の寄生容量が低い半導体装置およびその製造方法」の概要を説明するための概略構成図である。

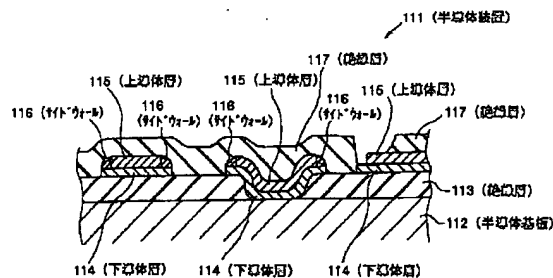
【符号の説明】

1…半導体装置、2…配線層下地基板、3…第1配線層、4…低誘電率層（低い比誘電率を持つ絶縁膜）、5…第1保護皮膜、6…第2配線層、7…第2保護皮膜、8…高誘電率層（高い比誘電率を持つ絶縁膜）、9…シリコン酸化膜、10…レジスト、11…開口

【図2】



【図5】



【図3】

